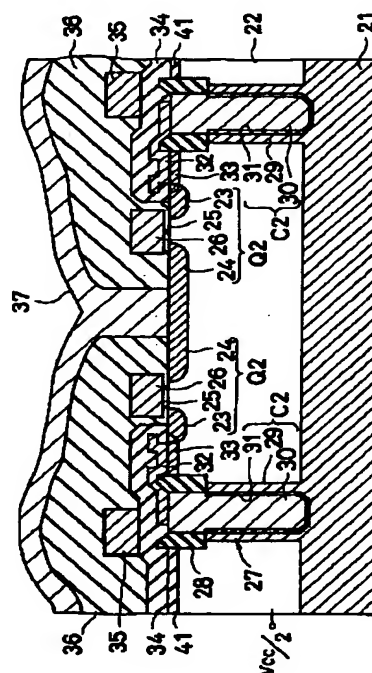


(11)特許出願公開番号



1

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、この半導体基板内に設けられたトレンチと、このトレンチの側壁下部に位置する前記半導体基板内に形成されたキャパシタ電極としての第 2 導電型の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、前記トレンチ側壁に形成され、前記導電体と不純物拡散層とを絶縁する第 1 の絶縁膜と、前記半導体基板内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、前記トレンチの側壁上部に位置する前記半導体基板内に形成され、前記転送用トランジスタと不純物拡散層とを分離するための第 2 の絶縁膜と、を具備することを特徴とする半導体記憶装置。

【請求項 2】 前記不純物拡散層は基準電位に接続されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記導電体と前記転送用トランジスタの一方の拡散層は電極を介して接続されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記トレンチの直径は、前記不純物拡散層と対応する部分が、その他の部分より大きくされていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記第 2 の絶縁膜には、開口部が設けられ、前記転送用トランジスタの一方の拡散層は、この開口部を介して前記導電体に接続されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 第 1 導電型の半導体基板と、この第 1 導電型の半導体基板上に設けられた第 2 導電型の半導体基板と、この第 2 導電型の半導体基板内に設けられたトレンチと、このトレンチの側壁下部に位置する前記半導体基板内に形成され、前記第 1 導電型半導体基板の接続されたキャパシタ電極としての第 1 導電型の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、前記トレンチ側壁に形成され、前記導電体と不純物拡散層とを絶縁する第 1 の絶縁膜と、前記第 2 導電型の半導体基板内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、前記トレンチの側壁上部に形成され、前記転送用トランジスタと不純物拡散層とを分離するための第 2 の絶縁膜と、

2

を具備することを特徴とする半導体記憶装置。

【請求項 7】 前記第 1 導電型の半導体基板は基準電位に接続されていることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 第 1 導電型の半導体基板と、この半導体基板内に設けられたトレンチと、このトレンチの下部に位置する前記半導体基板内に形成され、基準電位に接続された第 2 導電型の第 1 の不純物拡散層と、

10 このトレンチの側壁下部に位置する前記半導体基板内に形成され、第 1 の不純物拡散層に接続されたキャパシタ電極としての第 2 導電型の第 2 の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、

前記トレンチの側壁に形成され、前記導電体と前記第 1、第 2 の不純物拡散層とを絶縁する第 1 の絶縁膜と、前記半導体基板内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、

20 前記トレンチの側壁上部に形成され、前記転送用トランジスタと第 2 の不純物拡散層とを分離するための第 2 の絶縁膜と、

を具備することを特徴とする半導体記憶装置。

【請求項 9】 第 1 導電型の半導体基板と、この半導体基板内に設けられ、基準電位に接続された第 2 導電型の第 1 のウェル領域と、この第 1 のウェル領域内に設けられた第 1 導電型の第 2 のウェル領域と、

30 この第 2 のウェル領域内に設けられたトレンチと、このトレンチの側壁下部に位置する前記第 2 のウェル領域内に形成され、前記第 1 のウェル領域に接続されたキャパシタ電極としての第 2 導電型の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、

前記トレンチの側壁に形成され、前記導電体と前記不純物拡散層とを絶縁する第 1 の絶縁膜と、

前記第 2 のウェル領域内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、

40 前記トレンチの側壁上部に形成され、前記転送用トランジスタと前記不純物拡散層とを分離するための第 2 の絶縁膜と、

を具備することを特徴とする半導体記憶装置。

【請求項 10】 第 1 導電型の第 1 の半導体基板上に設けられた第 2 導電型の第 2 の半導体基板内に浅い第 1 のトレンチを設ける工程と、

50 この第 1 のトレンチの側壁に第 1 の絶縁膜を形成する工程と、

3

前記第2の半導体基板内に前記第1の絶縁膜の内径と同等で、前記第1のトレンチと連通する第2のトレンチを設ける工程と、

この第2のトレンチの側壁から第2の半導体基板内に不純物を拡散し、キャパシタ電極としての第1導電型の不純物拡散層を形成する工程と、

前記第2のトレンチの内面に第2の絶縁層を形成する工程と、

前記トレンチの内部に蓄積電極としての導電体を設ける工程と、

前記第2の半導体基板内に前記導電体に接続される第1の拡散層、ビット線に接続される第2の拡散層、およびワード線としてのゲートを有する転送用トランジスタを形成する工程と、

を具備することを特徴とする半導体記憶装置の製造方法。

【請求項11】 前記第2のトレンチは等方性エッチングされ、前記第1の絶縁膜の直径より大きくされていることを特徴とする請求項10記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えばDRAM(Dynamic Random Access Memory)に係わり、トレンチ・キャパシタ型の半導体記憶装置とその製造方法に関する。

【0002】

【従来の技術】図1は、従来の半導体記憶装置、例えばDRAMセルを示すものである。このDRAMセルは、1987年のIEDMでT.Kagaらによって発表され、"A 4.2 μ m² Half-V_{cc} Sheath-Plate Capacitor DRAM Cell with Self-Aligned Buried Plate-Wiring"のタイトルで予稿集に開示されたものである。

【0003】図1において、選択トランジスタとしてのMOSトランジスタQ1は、ワード線11としてのゲート、および拡散層12、13によって構成されている。前記拡散層13には、ビット線14が接続され、拡散層12にはキャパシタC1を構成する蓄積電極15が接続されている。このキャパシタC1は、蓄積電極15の周囲に設けられた絶縁膜16、この絶縁膜16の周囲に設けられたキャパシタ電極17によって構成され、このキャパシタ電極17の周囲には、絶縁膜18が設けられている。これら絶縁膜18、キャパシタC1は、図示せぬシリコン基板に設けられたトレンチ19の内部に設けられている。このキャパシタ電極17はシリコン基板に埋め込まれた不純物層20に接続されている。

【0004】上記構成において、キャパシタC1にデータを記憶する場合、ビット線14に供給された電位は拡散層13に伝達される。この状態において、ワード線11が選択されると、拡散層13に伝達された電位は拡散層14を介して蓄積電極15に伝達され、キャパシタC

4

1に記憶される。一方、キャパシタC1に記憶されたデータは、ワード線11が選択されると、拡散層12、13を介してビット線11に伝達される。

【0005】

【発明が解決しようとする課題】ところで、従来の半導体記憶装置は、トレンチ19の内面に、絶縁膜18を形成し、この絶縁膜の内面にキャパシタ電極17、絶縁膜16、蓄積電極15を順次形成している。したがって、トレンチ19の直径が0.4 μ mである場合、絶縁膜18の厚みを0.05 μ m、キャパシタ電極17の厚みを0.1 μ mとし、絶縁膜16は極薄いため省略して考えると、蓄積電極15の直径は、

$$0.4 - (0.05 + 0.1) \times 2 = 0.1 \mu m$$

となる。このため、キャパシタ部分の表面積が小さくなり、十分に電荷を蓄積することができないものであった。

【0006】この発明は、上記課題を解決するためになされたものであり、その目的とするところは、トレンチの直径を小さくした場合においても、キャパシタの表面積を十分確保することができ、大きな記憶キャパシタンスを得ることが可能な半導体記憶装置とその製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】この発明は、上記課題を解決するため、第1導電型の半導体基板と、この半導体基板内に設けられたトレンチと、このトレンチの側壁下部に位置する前記半導体基板内に形成され、基準電位に接続されたキャパシタ電極としての第2導電型の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、前記トレンチ側壁に形成され、前記導電体と不純物拡散層とを絶縁する第1の絶縁膜と、前記半導体基板内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、前記トレンチの側壁上部に位置する前記半導体基板内に形成され、前記転送用トランジスタと不純物拡散層とを分離するための第2の絶縁膜とを設けている。また、前記不純物拡散層は基準電位に接続されている。さらに、前記導電体と前記転送用トランジスタの一方の拡散層は電極を介して接続されている。また、前記トレンチの直径は、前記不純物拡散層と対応する部分が、その他の部分より大きくされている。さらに、前記第2の絶縁膜には、開口部が設けられ、前記転送用トランジスタの一方の拡散層は、この開口部を介して前記導電体に接続されている。

【0008】また、この発明は、第1導電型の半導体基板と、この第1導電型の半導体基板上に設けられた第2導電型の半導体基板と、この第2導電型の半導体基板内に設けられたトレンチと、このトレンチの側壁下部に位置する前記半導体基板内に形成され、前記第1導電型半

5

導体基板の接続されたキャパシタ電極としての第1導電型の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、前記トレンチ側壁に形成され、前記導電体と不純物拡散層とを絶縁する第1の絶縁膜と、前記第2導電型の半導体基板内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、前記トレンチの側壁上部に形成され、前記転送用トランジスタと不純物拡散層とを分離するための第2の絶縁膜とを設けている。さらに、前記第1導電型の半導体基板は基準電位に接続されている。

【0009】また、この発明は、第1導電型の半導体基板と、この半導体基板内に設けられたトレンチと、このトレンチの下部に位置する前記半導体基板内に形成され、基準電位に接続された第2導電型の第1の不純物拡散層と、このトレンチの側壁下部に位置する前記半導体基板内に形成され、第1の不純物拡散層に接続されたキャパシタ電極としての第2導電型の第2の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、前記トレンチの側壁に形成され、前記導電体と前記第1、第2の不純物拡散層とを絶縁する第1の絶縁膜と、前記半導体基板内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、前記トレンチの側壁上部に形成され、前記転送用トランジスタと第2の不純物拡散層とを分離するための第2の絶縁膜とを設けている。

【0010】さらに、この発明は、第1導電型の半導体基板と、この半導体基板内に設けられ、基準電位に接続された第2導電型の第1のウェル領域と、この第1のウェル領域内に設けられた第1導電型の第2のウェル領域と、この第2のウェル領域内に設けられたトレンチと、このトレンチの側壁下部に位置する前記第2のウェル領域内に形成され、前記第1のウェル領域に接続されたキャパシタ電極としての第2導電型の不純物拡散層と、前記トレンチの内部に設けられた蓄積電極としての導電体と、前記トレンチの側壁に形成され、前記導電体と前記不純物拡散層とを絶縁する第1の絶縁膜と、前記第2のウェル領域内に設けられ、電流通路を構成する一方の拡散層が前記導電体に接続され、他方の拡散層にビット線が接続され、ワード線としてのゲートを有する転送用トランジスタと、前記トレンチの側壁上部に形成され、前記転送用トランジスタと前記不純物拡散層とを分離するための第2の絶縁膜とを設けている。

【0011】また、この発明の製造方法は、第1導電型の第1の半導体基板上に設けられた第2導電型の第2の半導体基板内に浅い第1のトレンチを設ける工程と、この第1のトレンチの側壁に第1の絶縁膜を形成する工程と、前記第2の半導体基板内に前記第1の絶縁膜の内径

6

と同等で、前記第1のトレンチと連通する第2のトレンチを設ける工程と、この第2のトレンチの側壁から第2の半導体基板内に不純物を拡散し、キャパシタ電極としての第1導電型の不純物拡散層を形成する工程と、前記第2のトレンチの内面に第2の絶縁層を形成する工程と、前記トレンチの内部に蓄積電極としての導電体を設ける工程と、前記第2の半導体基板内に前記導電体に接続される第1の拡散層と、ビット線に接続される第2の拡散層、およびワード線としてのゲートを有する転送用トランジスタを形成する工程とを有している。さらに、前記第2のトレンチは等方性エッチングされ、前記第1の絶縁膜の直径より大きくされている。

【0012】

【作用】すなわち、この発明は、第1導電型の半導体基板内に設けたトレンチの側壁下部に位置する前記半導体基板内に、キャパシタ電極としての第2導電型の不純物拡散層を設けるとともに、トレンチの内部に蓄積電極としての導電体を設け、これら導電体と不純物拡散層とをトレンチ側壁に形成された第1の絶縁膜によって絶縁している。したがって、蓄積電極としての導電体の直径をトレンチの直径とほぼ等しくできるため、トレンチの直径を小さくした場合においても、キャパシタの表面積を十分確保することができるものである。また、不純物拡散層を基準電位に接続することにより、キャパシタに記憶されたデータを雑音等から保護することができる。

【0013】さらに、不純物拡散層と対応する部分のトレンチの直径を等方性エッチングによって、その他の部分より大きくすることにより、キャパシタの表面積を一層大きくすることができる。

【0014】

【実施例】以下、この発明の一実施例について、図面を参照して説明する。

【0015】図2は、この発明の第1の実施例に係わる半導体記憶装置を示すものであり、1トランジスタ、1キャパシタ型のDRAMを示すものである。まず、この半導体記憶装置の構成について説明する。

【0016】N型のシリコン基板21上には、P型のシリコン基板22が設けられている。このP型のシリコン基板22の内部には、MOSトランジスタQ2を構成するN型の拡散層23、24が設けられている。このP型のシリコン基板22の上には、絶縁膜25が設けられ、この絶縁膜25の上にはワード線26としてのゲート電極が設けられている。

【0017】一方、P型のシリコン基板22の内部には、トレンチ27が設けられている。このトレンチ27の側壁に位置する基板22の内部で、トレンチ27の上部には素子分離領域としての絶縁膜28が設けられ、トレンチ27の側壁に位置する基板22の内部で、前記絶縁膜28の下方には、前記N型のシリコン基板21に接続されたキャパシタ電極としての拡散層29が設けられ

7

ている。前記トレンチ 27 の内部には蓄積電極 30 が設けられ、この蓄積電極 30 と拡散層 29 の相互間にはキャパシタ絶縁膜 31 が設けられている。前記蓄積電極 30 とキャパシタ絶縁膜 31 および拡散層 29 によってキャパシタ C2 が構成されている。

【0018】前記蓄積電極 30 の上には電極 32 の一端が設けられている。この電極 32 の他端は P 型のシリコン基板内に設けられた拡散層 33 に接続されている。この拡散層 33 は前記拡散層 23 に接続されている。前記電極 32 の上には絶縁層 34 が設けられ、この絶縁層 34 の上には、他のメモリセルに接続されたワード線 35 が設けられている。これらの上には絶縁層 36 が設けられ、この絶縁層 36 の上にはビット線 37 が設けられている。このビット線 37 は前記拡散層 24 に接続されている。また、N 型のシリコン基板 21 には、電源 Vcc の 1/2 の電位が供給されている。

【0019】上記構成において、ビット線 37 に供給された電位は、拡散層 24 に伝達される。この状態において、ワード線 26 が選択されると、拡散層 24 に伝達された電位は拡散層 23、33、電極 32 を介して蓄積電極 30 に供給され、キャパシタ C2 によって記憶される。このキャパシタ C2 に記憶されたデータは上記とは逆の動作によってビット線 37 に読出される。次に、上記半導体記憶装置の製造方法について説明する。尚、図 2 と同一部分には同一符号を付す。

【0020】先ず、図 3 に示すごとく、N 型のシリコン基板 21 の上に P 型のシリコン基板 22 を設ける。この基板 22 の上にシリコン酸化膜 41 を設け、このシリコン酸化膜 41 の上にシリコン窒化膜 42 を設ける。このシリコン窒化膜 42 の上に CVD 法によって酸化膜 43 を堆積する。この後、酸化膜 43 をマスクとしてシリコン酸化膜 41、シリコン窒化膜 42、P 型のシリコン基板 22 に浅いトレンチ 27 a を形成する。この後、トレンチ 27 a の側壁にシリコン窒化膜からなる絶縁膜 28 を設ける。すなわち、トレンチ 27 a の内面を含む酸化膜 43 の表面にシリコン窒化膜 44 を設け、これを異方性エッチングしてトレンチ 27 a の側壁にシリコン窒化膜 44 からなる絶縁膜 28 を残す。

【0021】次に、図 4 に示すように、シリコン基板 22、21 内に深いトレンチ 27 b を形成する。この後、トレンチ 27 a、27 b の内面を含む酸化膜 43 の表面に N 型不純物を含む酸化膜 45 を堆積し、熱拡散によってトレンチ 27 a に対応するシリコン基板 22 内にキャパシタ電極としての拡散層 29 を形成する。この後、酸化膜 45、43 をエッチングによって除去し、トレンチ 27 b の側壁に例えば CVD 法によってシリコン窒化膜を堆積する。次に、このシリコン窒化膜のうち、前記拡散層 29 の表面以外の部分を除去し、前記拡散層 29 の表面にキャパシタ絶縁膜 31 を形成する。次に、図 5 に示すように、トレンチ 27 a、27 b の内面を含むシリ

8

コン窒化膜 42 上に、多結晶シリコン 46 を堆積する。

【0022】この後、図 6 に示すように、この多結晶シリコン 46 をエッチバックし、トレンチ 27 a、27 b の内部に蓄積電極 30 を形成するとともに、シリコン窒化膜 42 を剥離する。

【0023】次に、図 7 に示すように、絶縁膜 28 に接するシリコン酸化膜 41 を一部除去し、シリコン基板 22 内に絶縁膜 28 と連続して拡散層 33 を形成する。この後、図 8 に示すように、拡散層 33 と蓄積電極 30 とを接続する電極 32 を形成し、この電極 32 および蓄積電極 30 の上に絶縁層 34 を形成する。

【0024】次に、転送ゲートとしての MOS トランジスタ Q2 を周知の方法によって形成する。この MOS トランジスタ Q2 は拡散層 23、24 およびワード線としてのゲートを含み、前記拡散層 23 は前記拡散層 33 に接続される。

【0025】この後、図 2 に示すように、上記構造全体に絶縁層 36 を堆積し、この絶縁層 36 の上にビット線 37 を配設するとともに、このビット線 37 を MOS トランジスタ Q2 の拡散層 24 に接続する。

【0026】上記構成によれば、トレンチ 27 b の側壁からシリコン基板 22 内に熱拡散によってキャパシタ電極としての拡散層 29 を形成し、この拡散層 29 のトレンチ 27 b 内面に極薄いキャパシタ絶縁膜 31 を形成している。したがって、トレンチ 27 b の内部のほぼ全部を蓄積電極 31 とすることができ、従来のように、トレンチの内部にキャパシタを形成する場合に比べて、蓄積電極の表面積を大きくすることができるものである。

【0027】具体的には、浅いトレンチ 27 a の内径が $0.4 \mu\text{m}$ で、シリコン窒化膜からなる絶縁膜 28 の膜厚が $0.05 \mu\text{m}$ の場合、深いトレンチ 27 b の直径を $0.3 \mu\text{m}$ とすることができる。この内径は蓄積電極の直径とほぼ等しいものである。従来技術の場合、蓄積電極の直径は $0.1 \mu\text{m}$ 程度であるから、キャパシタの面積を約 3 倍大きくすることができる。

【0028】尚、前記絶縁膜 28 は、シリコン窒化膜によって構成したが、これに限定されるものではなく、例えばシリコン酸化膜上にシリコン窒化膜を積層した積層膜としてもよい。

【0029】また、上記実施例では、N 型のシリコン基板 21 上に P 型のシリコン基板 22 を設け、このシリコン基板 22 内にキャパシタ C2 を形成したが、これに限らず、例えば N 型のシリコン基板 21 内に P 型のウェルを設け、このウェルにキャパシタ C2 を形成してもよい。図 9 は、この発明の第 2 の実施例を示すものである。

【0030】上記実施例において、深いトレンチ 27 b と浅いトレンチ 27 a は同一の直径としたが、深いトレンチ 27 b の直径を浅いトレンチ 27 a よりも大きくす

9

ることも可能である。すなわち、図9に示すように、深いトレンチ27bを形成した後、シリコン基板22を等方性エッチングすることにより、直径を大きくすることができる。このように直径を大きくすることにより、一層キャパシタの面積を増大できる。図10は、この発明の第3の実施例を示すものである。

【0031】上記実施例において、蓄積電極30は電極32、拡散層33を介してMOSトランジスタQ2の拡散層23に接続したが、これに限定されるものではない。この実施例においては、図10に示すように、シリコン窒化膜からなる絶縁膜28の一部に開口部28aを設け、この開口部28aを介して蓄積電極30とMOSトランジスタQ2の拡散層23とを接続している。このような構成とすれば、メモリセルの占有面積を一層少なくでき、高集積化することができる。図11は、この発明の第4の実施例を示すものである。

【0032】この実施例は、P型のシリコン基板51を使用したものである。すなわち、P型のシリコン基板51内にトレンチ52を形成し、このトレンチ52を介してシリコン基板51内にN型不純物としてのリンをイオン注入してN型の領域53を形成する。以下、上記第1の実施例と同様にして絶縁膜28、拡散層29等を形成する。この拡散層29はN型の領域53と接続されている。このような構成としても第1の実施例と同様の効果を得ることができる。図12は、この発明の第5の実施例を示すものである。

【0033】この実施例は、第4の実施例と同様にP型のシリコン基板61を使用したものである。すなわち、P型のシリコン基板61内にN型の第1のウェル62を形成し、さらに、この第1のウェル62内にP型の第2のウェル63を形成する。この第2のウェル63内に第1の実施例と同様にキャパシタC2、およびMOSトランジスタQ2を形成し、第1のウェル62を電源Vccの1/2の電位に接続したものである。この実施例によれば、第1の実施例と同様の効果を得ることができるとともに、第1のウェル62がVcc/2の電位に接続されてい*

10

*るため、記憶データが雑音等の影響を受けないものである。なお、この発明は上記実施例に限定されるものではなく、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0034】

【発明の効果】以上、詳述したようにこの発明によれば、トレンチの直径を小さくした場合においても、キャパシタの表面積を十分確保することができ、大きな記憶キャパシタンスを得ることが可能な半導体記憶装置とその製造方法を提供できる。

【図面の簡単な説明】

【図1】従来の半導体記憶装置を示す斜視図。

【図2】この発明の第1の実施例を示す断面図。

【図3】第1の実施例の製造方法を示す断面図。

【図4】第1の実施例の製造方法を示す断面図。

【図5】第1の実施例の製造方法を示す断面図。

【図6】第1の実施例の製造方法を示す断面図。

【図7】第1の実施例の製造方法を示す断面図。

【図8】第1の実施例の製造方法を示す断面図。

【図9】この発明の第2の実施例の製造方法を示す断面図。

【図10】この発明の第3の実施例の製造方法を示す断面図。

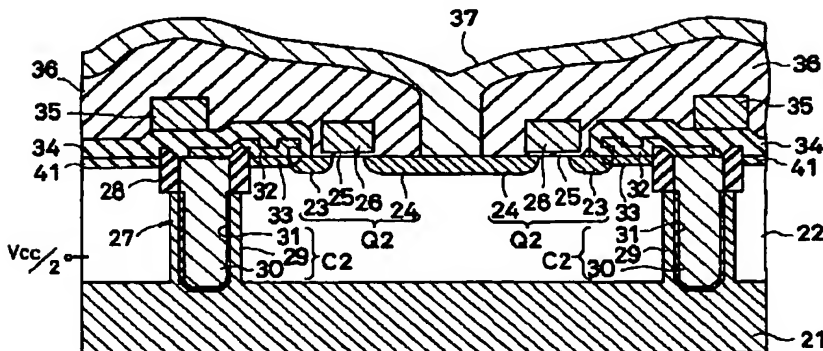
【図11】この発明の第4の実施例の製造方法を示す断面図。

【図12】この発明の第5の実施例の製造方法を示す断面図。

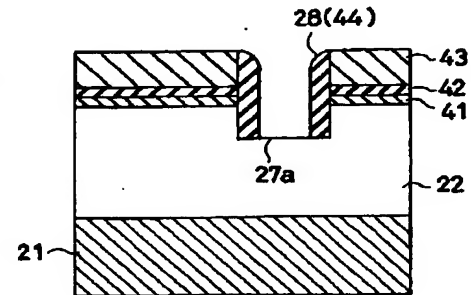
【符号の説明】

21…N型のシリコン基板、22、51、61…P型のシリコン基板、Q2…MOSトランジスタ、C2…キャパシタ、23、24…拡散層、26…ワード線、27、27a、27b、52…トレンチ、28…絶縁膜、28a…開口部、29…拡散層、30…蓄積電極、31…キャパシタ絶縁膜、37…ビット線、62、63…第1、第2のウェル。

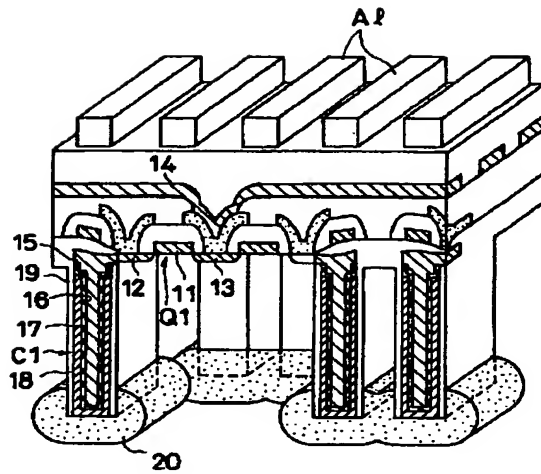
【図2】



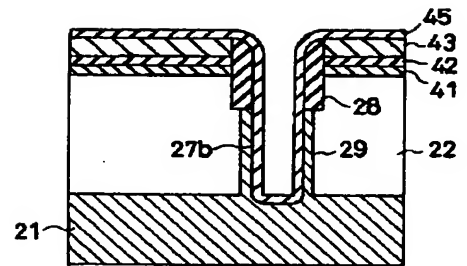
【図3】



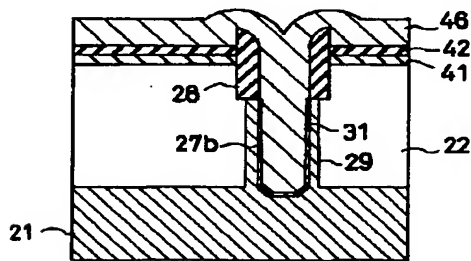
【図 1】



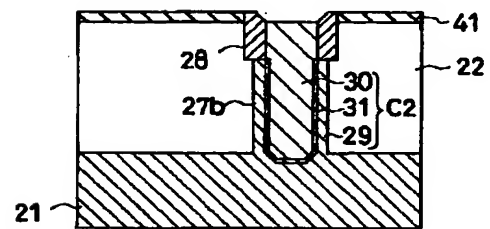
【図 4】



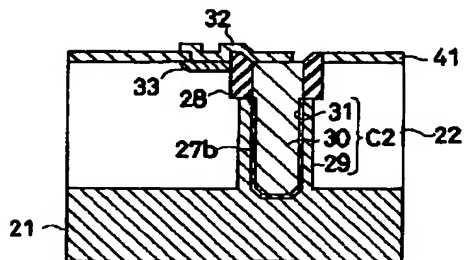
【図 5】



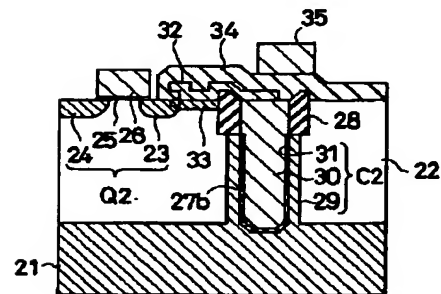
【図 6】



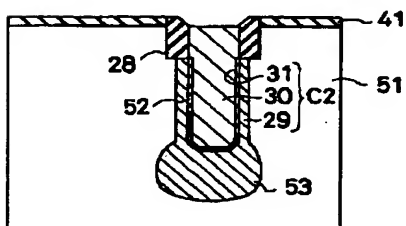
【図 7】



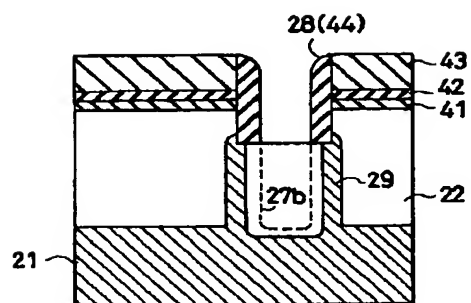
【図 8】



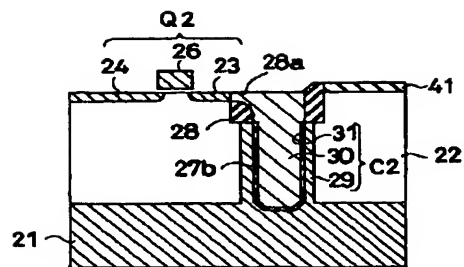
【図 11】



【図 9】



【図 10】



【図 12】

